

D.08.

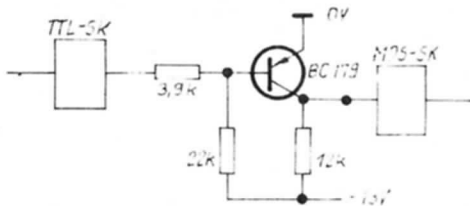
MOS-Logik, TTL, Pegelanpassung

DIGITALSCHALTUNG

OBERRAT ALFRED TOLK (Quelle: RFZ/FSN)

Direkte Zusammenschaltung von Logiksystemen MOS - TTL unter Beibehaltung der systemüblichen Betriebsspannungen (TTL: + 5 V, MOS: $U_1 = - 27 \text{ V}$, $U_2 = - 13 \text{ V}$)

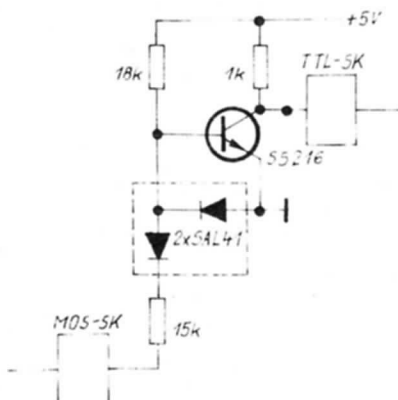
1. Anschluß einer MOS-Schaltung an TTL-Schaltkreise



Wirkungsweise: Bei Logik-1-TTL wird der Transistor gesperrt und es ergibt sich auch für den MOS - SK Logik 1 (-13 V) und umgekehrt.

Hinweise zur Dimensionierung: Die Schaltung arbeitet mit 10 μ igen Widerständen auch unter worst-case-Bedingungen einwandfrei.

2. Anschluß einer TTL-Schaltung an MOS-Schaltkreise



Wirkungsweise: Bei Logik-0-MOS (H-Pegel) leitet der Transistor und erzeugt ebenfalls Logik 0 für den TTL-Schaltkreis (L-Pegel) und umgekehrt.

Hinweise zur Dimensionierung: Die Schaltung arbeitet mit 10 μ igen Widerständen auch unter worst-case-Bedingungen einwandfrei.