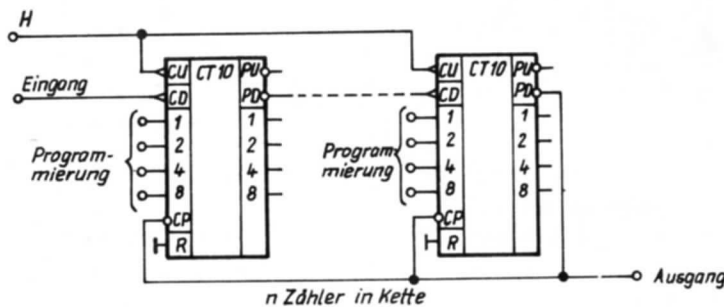


D.34/78
 programmierbarer Frequenz-
 teiler, TTL-Technik

DIGITALSCHALTUNG

OBERRAT ALBRECHT HERMANN (Quelle: RFZ/FFS)

Applikationsbeispiel 2 für D 192/D 193: Frequenzteiler mit direkter Rückstellung durch Rückführung des Übertrags auf den Ladeeingang (siehe auch D 34/78)



Impulsverläufe:

Zählerstand: | 1 | 0 | z | z-1 |

Dargestellt ist
 "Rückwärtszählen"

Eingang:

Ausgang:

Wirkungsweise: Beim Erreichen des Zählerstandes 0 - Rückwärtszählen - bzw. 9 in allen D 192 (15 in allen D 193) - Vorwärtszählen - wird am Übertragungsausgang des letzten Zählers L-Potential ausgegeben, das über die Ladeeingänge (CP) die Zähler auf die an den Dateneingängen vorprogrammierte Zahl z setzt, von der aus der Zähler erneut zu zählen beginnt.

Vorteile: - Geringster Bauelementeaufwand
 - Einfach zu programmieren

Nachteil: relativ langsam

Teilverhältnis $t = z$ (beim Rückwärtszählen)

$t = 10^n - 1 - z$ (beim Vorwärtszählen mit D. 192)

$t = 16^n - 1 - z$ (beim Vorwärtszählen mit D 193)

Die maximale Eingangsfrequenz wird durch die minimale Dauer t_L des L-Potentials während einer Periode der Eingangsfrequenz bestimmt:

$$t_{Lmin} = 40 \text{ ns} + n \cdot 24 \text{ ns}$$

n = Anzahl der Schaltkreise D 192/D 193 im Zähler.

Die höchste Eingangsfrequenz wird mit einem unsymmetrischen Tastverhältnis des Eingangssignals mit möglichst kurzer Dauer t_H des Hochpotentials während einer Periode der Eingangsfrequenz erreicht, dabei darf $t_{Hmin} = 20 \text{ ns}$ nicht unterschritten werden.

Mit $n = 2$ und Tastverhältnis 1:1 wird z.B.

$$f_{max} = \frac{1}{2(40 + 2 \cdot 24) \text{ ns}} \approx 5,7 \text{ MHz (worst case),}$$

mit optimal unsymmetrischem Tastverhältnis wird bei $n = 2$

$$f_{\max} = \frac{1}{20\text{ns} + (40 + 2 \cdot 24)\text{ns}} \approx 9,3 \text{ MHz (worst case).}$$

Hinweise zur Anwendung:

Diese Schaltung ist die am wenigsten aufwendige und daher zuverlässigste Schaltung für programmierbare Frequenzteiler ohne besondere Anforderungen an die Auswertung des jeweiligen Zählerstandes oder die maximale Eingangsfrequenz.

Applikationsbeispiel 3 für D 192/D 193: Frequenzteiler mit Gewinnung des Ladeimpulses aus dem Übertrag durch zusätzliche Schaltungen (siehe auch D 34/78)

Wirkungsweise: Beim Erreichen des Zählerstandes 0 - Rückwärtszählen - bzw. 9 in allen D 192 (15 in allen D 193) - Vorwärtszählen - erscheint am letzten Zählerausgang ein Übertragimpuls (L-Potential). Aus diesem wird durch zusätzliche Schaltungen ein Impuls (L-Potential) gewonnen und den Ladeeingängen (CP) der Zähler zugeführt, wodurch diese auf die an den Dateneingängen vorprogrammierte Zahl z gesetzt werden, von der aus der Zähler erneut zu zählen beginnt.

Vorteile: - Hohe Eingangsfrequenzen
- Einfach zu programmieren

Nachteil: Erhöhter Aufwand durch externe Ladeimpulsformierung

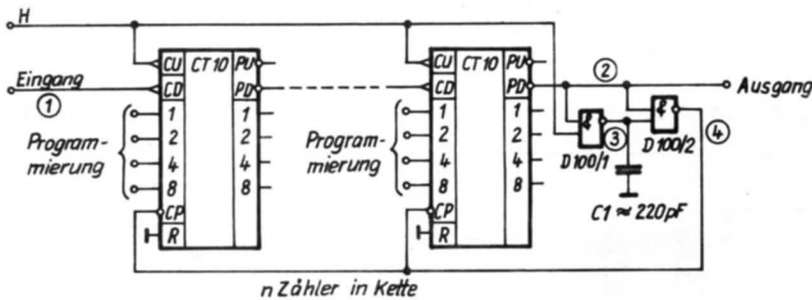
Teilerverhältnis $t = z + 1$ (beim Rückwärtszählen)

$$t = 10^n - z \text{ (beim Vorwärtszählen mit D 192)}$$

$$t = 16^n - z \text{ (beim Vorwärtszählen mit D 193)}$$

n = Anzahl der Schaltkreise D 192/D 193 im Zähler

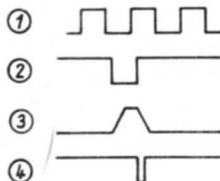
a) Gewinnung des Ladeimpulses aus der L/H-Flanke des Übertrags mit 2 NAND-Gattern



Impulsverläufe:

Zählerstand: $1 | 0 | \dots | z | z-1$

Dargestellt ist "Rückwärtszählen"



Der Übertrag wird mit D 100/1 negiert und mit C_1 um etwa 25 ns verzögert. Damit kann D 100/2, ausgelöst vom Ende des Übertragimpulses (L/H-Flanke) für diese 25 ns durchschalten und einen reichlich 25 ns langen Ladeimpuls (L-Potential) liefern.

Maximale Eingangsfrequenz: $f_{\max} = \frac{1}{53\text{ns} + n \cdot 24\text{ns}}$

Mit $n = 2$ wird $f_{\max} \approx 9,9 \text{ MHz (worst case).}$

Vorteil gegenüber b): Weiterschalten der Zähler und Rückstellung erfolgt streng im Takt der L/H-Flanken des Eingangssignals

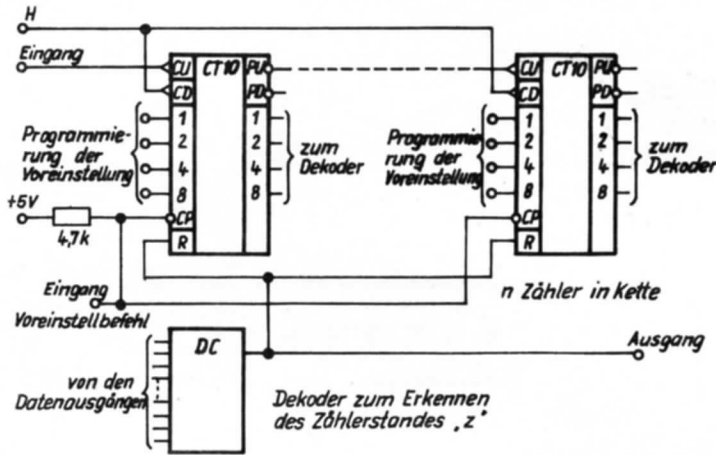
Nachteil gegenüber b): Nicht ganz so schnell, da C_1 ein Kompromiß zwischen Schaltsicherheit des Ladevorganges (C_1 groß, um langen Ladeimpuls zu erreichen) und zulässiger maximaler Eingangsfrequenz (C_1 möglichst klein) ist.

b) Gewinnung des Ladeimpulses und Anhalten des Zählers für die Dauer einer Periode des Eingangssignals mittels D-Flipflop

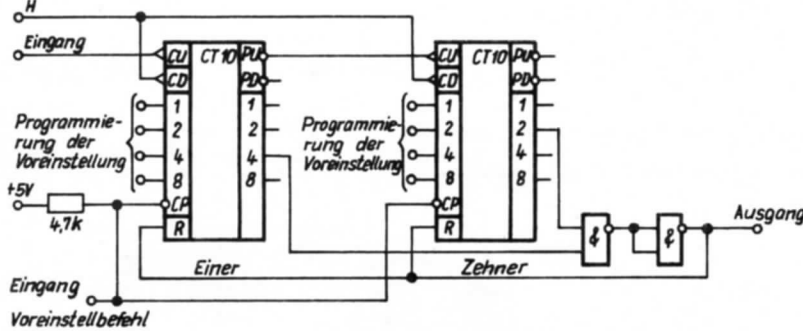
Der D-Eingang des Flipflop liegt auf L-Potential, so daß es von jeder H/L-Flanke des Eingangssignals zurückgesetzt wird. Damit liegen die Ladeeingänge (CP) während des laufenden Zählvorgangs auf H-Potential und sind unwirksam. Der Übertrag, ausgelöst von einer H/L-Flanke des Eingangssignals, setzt das Flipflop, von dessen negierten Ausgang der Ladeimpuls abgenommen wird (Dauer knapp eine Periode des Eingangssignals).

Maximale Eingangsfrequenz: $f_{\max} = \frac{1}{29\text{ns} + n \cdot 24\text{ns}}$

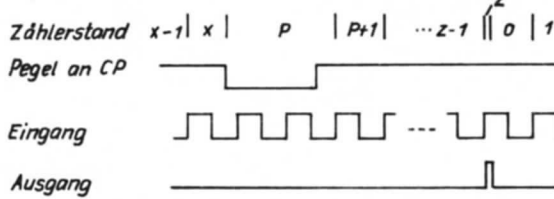
Die Schaltung b) ist zu verwenden, wenn zusätzlich eine Voreinstellungsmöglichkeit des Zählers benötigt wird.



Beispiel: Teiler 24:1



Impulsverläufe:



x = gerade erreichter Zählerstand
 p = durch Voreinstellung festgelegter Zählerstand