

D.56/80  
MOS-Schreib-Lesespeicher,  
Mikroprozessor

## D I G I T A L T E C H N I K

AMTMANN MANFRED KÜHN (Quelle: RFZ/EVV)

### Einsatz von MOS-Schreib-Lese-Speicher (RAM) in TTL-Systemen

Für einige Einsatzfälle reicht die Speicherkapazität verfügbarer TTL-RAM-Bauelemente nicht aus. In solchen Fällen führt der Einsatz von MOS-Speicherbauelementen zu günstigen und ökonomischen Lösungen. Für derartige Anwendungsfälle stehen die MOS-RAM's CM 8001 (VR Bulgarien) mit einer Speicherkapazität von 256 Bit und U 202 (FWE) mit 1024 Bit Speicherkapazität zur Verfügung.

#### Wirkungsweise:

Der Stromlaufplan (Abb. 1) zeigt als Beispiel einen 256 x 8-Bit-Speicher mit CM 8001 Bausteinen. Die Wortbreite kann ohne Änderung des Wirkungsprinzips beliebig verändert werden. In jedem Speicherbauelement wird die Information einer Bit-Stelle gespeichert. Die Eingangsdaten der Dateneingänge ED gelangen über die Eingangsgatter A1, A2 an die Dateneingänge der Speicherbauelemente. Die Signale der Speicherausgänge werden über die Ausgangsgatter A5, A6 an die Datenausgänge AD gegeben und stehen dort mit TTL-Pegelnorm zur Verfügung. Die Speicheradresse gelangt über die Gatter A3, A4 an alle Adreßeingänge A der Speicherschaltkreise. Die Pegelanpassung der Ein- und Ausgangsschaltungen arbeiten nach dem in D.54/80 beschriebenen Prinzip. Für den Lesebetrieb (Informationsausgabe) ist lediglich die Adresse der zu lesenden Speicherzellen an die Adreßeingänge zu legen. Bei Schreibbetrieb (Informationseingabe) ist nach dem Anlegen der Adresse für die zu beschreibende Speicherzelle noch ein Schreibimpuls dem  $\bar{W}$ -Eingang zuzuführen. Der aktive Zustand des Schreibimpulses ist der L-Pegel. Die Informationsübernahme erfolgt an der Rückflanke (für CM 8001).

#### Zeitbedingungen:

Im Lesebetrieb sind die an den Datenausgängen AD ausgegebenen Daten nach  $t_A \leq 1,5 \mu s$  nach einem Adreßwechsel gültig (Abb. 2). Die alte Information bleibt mindestens für  $t_H \geq 50 ns$  nach einem Adreßwechsel erhalten. Für den Schreibbetrieb ist die Speicheradresse mindestens  $t_{WD} \geq 0,3 \mu s$  vor der HL-Flanke des Schreibimpulses  $\bar{W}$  an die Adreßeingänge zu legen (Abb. 3). Sie darf frühestens  $t_{WH} \geq 0,1 \mu s$  nach der LH-Flanke des Schreibimpulses geändert werden. Die Eingangsdaten  $ED_i$  müssen mindestens im Zeitraum  $t_{DW} \geq 0,3 \mu s$  und  $t_{DH} \geq 0,1 \mu s$  (beide bezogen auf die LH-Flanke des Schreibimpulses) stabil sein. Diese Forderung ist jedoch eine Minimalforderung. Daten können an der Schaltung beliebig lange anliegen.

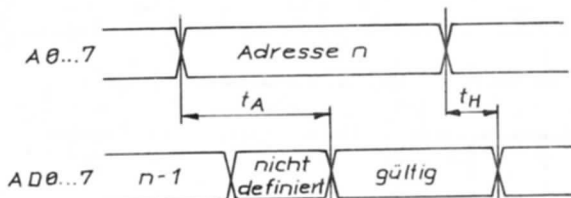


Abb. 2 Lesebetrieb

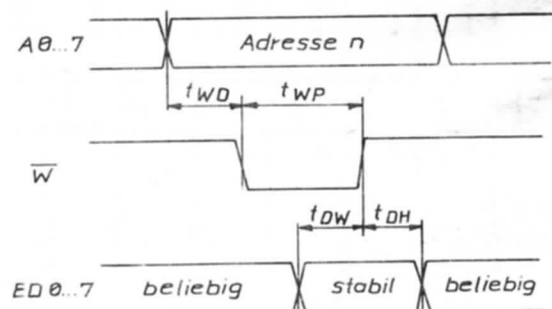
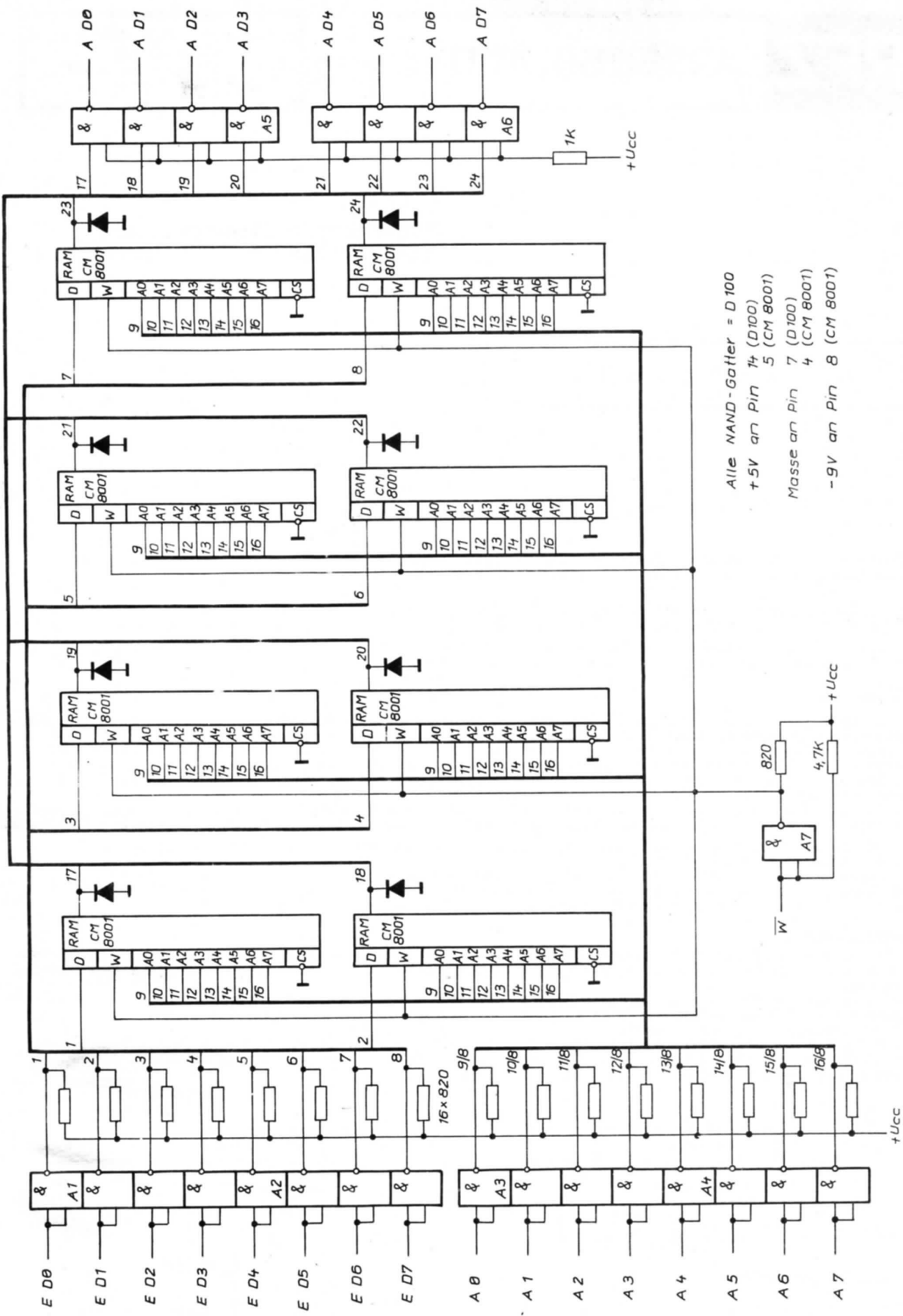


Abb. 3 Schreibbetrieb

Schutzrechtssituation:  
Ungeprüft.



Alle NAND-Gatter = D100  
 +5V an Pin 14 (D100)  
 Masse an Pin 7 (D100)  
 -9V an Pin 8 (CM 8001)  
 +Ucc