

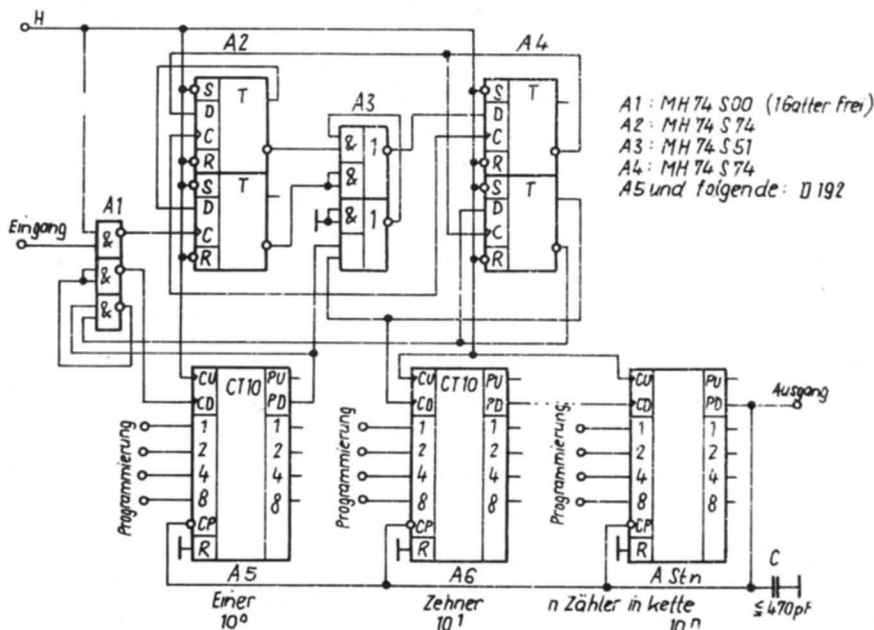
D.60/81
Modulo-Frequenzverteiler,
TTL-Technik

DIGITALSCHALTUNG

OBERRAT ALBRECHT HERMANN (Quelle: RPZ/FPS)

Modulo-Frequenzverteiler mit Schottky-TTL-Schaltkreisen

Programmierbare digitale Frequenzteiler mit D 192/D 193 haben maximale Eingangsfrequenzen unter 20 MHz, siehe D 34/78, D 35/78, D 50/79. Um auch höhere Eingangsfrequenzen programmierbar zu können, schaltet man Modulo-Frequenzverteiler davor, das sind Frequenzteiler, deren Teilverhältnis elektronisch zwischen n und $n + 1$, üblicherweise zwischen 10 und 11 umgeschaltet werden kann. Derartige Modulo-Vorteiler kann man z. B. aus Schottky-TTL-Schaltkreisen aufbauen. Eine erprobte Schaltung für Eingangsfrequenzen bis etwa 50 MHz zeigt die Abbildung.



Wirkungsweise: Das erste Gatter von A1 dient als Eingangstrennstufe, A2 bis A4 bilden den zwischen $10 : 1$ und $11 : 1$ umschaltbaren Modulo-Vorteiler, A5 und zwei Gatter von A1 den dazugehörigen Impuls-Ausblendzähler, A6 und die folgenden einen normalen programmierbaren Frequenzteiler nach D 35/78, Beispiel 2. An den Dateneingängen von A5 werden die Einer, von A6 die Zehner usw. des Teilverhältnisses im BCD-Kode eingegeben.

Grenzen des Teilverhältnisses: $90 \leq t \leq 10^{n+1} - 1$

Die beiden Flipflops von A2, das erste Flipflop von A4 und das erste Gatter des And-Or-Inverters A3 bilden einen modifizierten Ringzähler. Das Signal gelangt vom Eingang über das erste Gatter von A1 negiert auf die Takteingänge C der drei Flipflops des Ringzählers. Jede H/L-Flanke des Eingangssignals setzt diese Flipflops auf die an ihren Bedingungsingängen D liegenden Pegel. Sind zunächst alle drei Flipflops zurückgesetzt, so liegt am Bedingungsingang D von A2/1 Hochpotential vom inver-

tierten Ausgang von A4/1. Dieses wird beim nächsten Takt von A2/1, beim übernächsten von A2/2 und, unabhängig von der Steuerung der Verkürzungsschaltung über den oberen Eingang des ersten And-Gliedes des And-Or-Inverters A3/1, beim drittnächsten Takt von A4/1 übernommen, so daß nun Tiefpotential am Bedingungsingang D von A2/1 anliegt. Dieses wird beim nächsten Takt von A2/1, beim übernächsten von A2/2 und, falls am oberen Eingang des ersten And-Gliedes des And-Or-Inverters A3/1 Hochpotential anliegt, gleichzeitig auch vom Flipflop A4/1 übernommen, so daß sich für den Ringzähler ein Teilverhältnis von 5 : 1 ergibt. Liegt an dem genannten Eingang des And-Or-Inverters A3/1 Tiefpotential, so ist die Verkürzungsschaltung mit dem ersten And-Glied von A3/1 unwirksam und es ergibt sich ein Teilverhältnis von 6 : 1.

Bei jedem Zurücksetzen des Flipflops A4/1 des Ringzählers wird das als Teiler 2 : 1 geschaltete Flipflop A4/2 betätigt. Liegt an seinem direkten Ausgang Tiefpotential, so wird über den als Nand-Gatter betriebenen And-Or-Inverter A3/2 der obere Eingang des ersten And-Gliedes des And-Or-Inverters A3/1 auf Hochpotential gesetzt und die Verkürzungsschaltung wirksam. Je nachdem, ob dem anderen Eingang (Steuereingang) von A3/2 Tief- oder Hochpotential zugeführt wird, ist die Verkürzungsschaltung immer oder nur bei jedem zweiten Zyklus des Ringzählers wirksam und es ergibt sich ein gesamtes Teilverhältnis des Modulo-Vorteilers von 10 : 1 (Steuereingang Tief) bzw. 11 : 1 (Steuereingang Hoch).

Zur Steuerung des Modulo-Vorteilers ist sein Steuereingang (A3/2) mit dem Übertragsausgang rückwärts PD von A5 verbunden. Hier erscheint Tiefpotential, wenn A5 den Zählerstand "0" erreicht hat und gleichzeitig am Zähleringang rückwärts CD von A5 Tiefpotential anliegt. Dieser Zähleringang liegt über die als And-Schaltung wirkenden beiden unteren Gatter von A1 am invertierten Ausgang des Modulovorteilers (A4/2) und am Übertragsausgang rückwärts (A5, PD).

Kommt nach Ablauf eines Zählzyklus des gesamten Teilers (Modulo-Vorteiler und nachgeschalteter programmierbarer Frequenzteiler) ein Ladeimpuls vom Übertragsausgang PD des letzten Zählers auf die Ladeeingänge der Zähler, so wird A5 auf die an seinen Dateneingängen eingegebene Einerziffer des gesamten Teilverhältnisses gesetzt. Der Übertragsausgang PD von A5 gelangt auf Hochpotential, wodurch der Modulo-Vorteiler auf 11 : 1 eingestellt und der Weg vom invertierten Ausgang des Modulo-Vorteilers (A4/2) auf den Zähleringang rückwärts CD von A5 freigegeben wird. A5 zählt nun soviel 11er-Zyklen des Modulo-Vorteilers ab, wie der ihm eingegebenen Einerziffer entspricht, bis an seinem Übertragsausgang beim Zählerstand "0" von A5 Tiefpotential erscheint, wodurch der Modulo-Vorteiler für den Rest des Zählzyklus des gesamten Teilers auf 10 : 1 eingestellt und der Zähleringang rückwärts CD von A5 gesperrt wird, so daß A5 auf "0" stehen bleibt.

Der nachfolgende Teiler (A6 ... A5+n) aus n x D 192 entspricht dem Beispiel 2 von D 35/78, ergänzt mit einem Kondensator C, um den Ladeimpuls etwas zu verlängern, damit auch D 192 mit an der oberen Toleranzgrenze liegenden Schaltzeiten einwandfrei programmiert werden.

Literatur:

- /1/ Nast, Helmut: Digitaler Frequenzteiler, DDR-WP 101 077, IPK H 03 K 23/02.
- /2/ Limbersky, Jiri: Schaltungsanordnung für einen Frequenz-Vorteiler, DDR-WP 128 271, IPK H 03 K 21/00.

Schutzrechtssituation:

Unter Aktenzeichen WP H 03 K/225 369 zum Patent angemeldet.