

Phasendemodulator für PLL-Schleifen mit D 174

Wirkungsweise

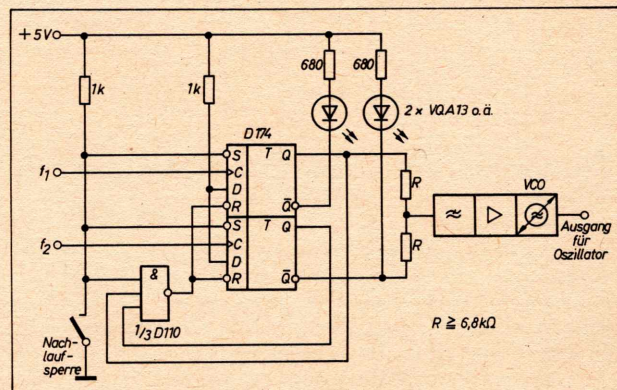
Den Takteingängen der beiden Flip-Flops eines D 174 werden die Frequenz f_1 des nachzuregelnden Oszillators (nach evtl. erforderlicher Rückmischung und/oder Teilung) und die aus einem Frequenznormal abgeleitete Vergleichsfrequenz f_2 als Rechteckimpulse mit TTL-Pegeln zugeführt. Jede an den Takteingang eines Flip-Flops gelangende L-H-Flanke setzt dieses Flip-Flop. Sobald beide Flip-Flops gesetzt sind, werden sie über das NAND-Gatter und die R-Eingänge zurückgesetzt. Damit entstehen am Q-Ausgang des Flip-Flops, der zuerst einen Taktimpuls erhält, mit der Phasendifferenz längenmodulierte H-Potentialimpulse im Takt der zugeführten Frequenz. Die Nachstimmspannung für den Oszillator wird durch Widerstandssymmetrierung zwischen dem Q-Ausgang des einen und dem Q-Ausgang des anderen Flip-Flops entnommen, ihr Mittelwert beträgt etwa

$$U_N \approx 1,9V + 1,8V \frac{\Delta\varphi}{2\pi} \quad \text{mit} \quad -2\pi < \Delta\varphi < +2\pi \quad (1)$$

Bei einer Frequenzabweichung ändert sie sich sägezahnförmig mit der Frequenzdifferenz und liegt im Mittel um 0,9V über oder unter 1,9V, je nach Vorzeichen des Frequenzfehlers, so daß auch in diesem Falle eine Nachstimmspannung in der richtigen Polarität entsteht. Vertauscht man die Anschlüsse von f_1 und f_2 , so ändert sich das Vorzeichen von $\Delta\varphi$ in Gl. (1).

Der Nachstimmspannung ist als Störspannung eine Rechteckspannung der Frequenz $f = f_1 = f_2$ mit der Amplitude $U_{ss} \approx 1,8V$ und einem von $\Delta\varphi$ abhängigen Tastverhältnis überlagert. Der Grundwellenanteil verschwindet bei $\Delta\varphi = 0$ und hat Maxima bei $\Delta\varphi = \pm\pi$ mit dem Spitzenwert $U_s \approx 3,6V/\pi$.

Über Tiefpas und Verstärker wird die Nachstimmspannung dem nachzuregelnden Oszillator zugeführt.



Die beiden LEDs dienen zur Anzeige der Richtung der Frequenz- oder Phasenabweichung und verlöschen bei $\Delta\varphi = \Delta f = 0$.

Bei geschlossenem Schalter „Nachlaufsperr“ werden beide Flip-Flops über die S-Eingänge zwangsweise gesetzt und ihre Rücksetzung über das NAND-Gatter blockiert. Die Nachstimmspannung stellt sich auf etwa +1,9V ein, entsprechend $\Delta\varphi = 0$. Beide LEDs leuchten gleichzeitig und zeigen damit diesen Schaltzustand an.

Albrecht Hermann

Rundfunk- und Fernsehtechnisches Zentralamt Berlin

Literatur

- [1] Jungnickel, H.: PLL-Schaltungstechnik. radio fernsehen elektronik 25 (1976) H. 7, S. 216–219

Direkte Zusammenschaltung von Logiksystemen Hochvolt-MOS-TTL unter Beibehaltung der systemüblichen Betriebsspannungen (TTL: +5V, MOS: $U_1 = -27V$, $U_2 = -13V$)

1. Anschluß einer Hochvolt-MOS-Schaltung an TTL-Schaltkreise

- A. Logische Werte werden nicht negiert (TTL 1 $\triangleq$ MOS 1) (Bild 1)

Wirkungsweise

Bei TTL 1 ($U_H \geq 2,4V$) wird der Transistor gesperrt, und am MOS-Eingang liegen $-13V$. Bei TTL 0 ($U_L \approx 0V$) liegt am MOS-Eingang nur die (negative) Sättigungsspannung U_{CE} des Transistors.

- B. Logische Werte werden negiert (TTL 1 $\triangleq$ MOS 0) (Bild 2)

Wirkungsweise

Der Transistor wird in Basisschaltung betrieben und lei-

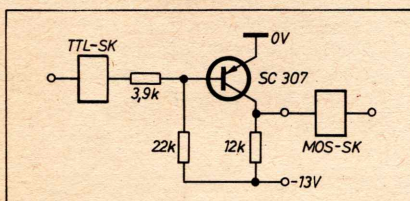


Bild 1

Bild 2

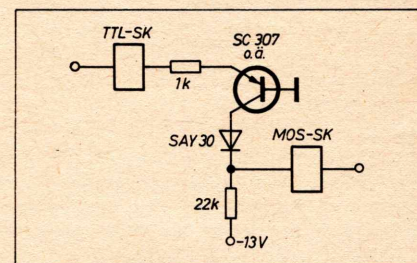
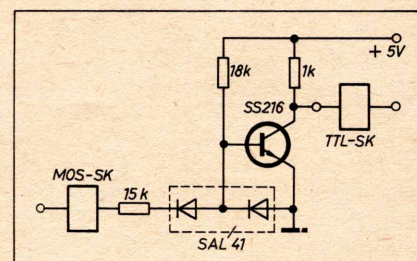


Bild 3



tet bei TTL-H-Pegel. Die Kollektorspannung kann deshalb $> 0\text{ V}$ werden. Die Diode verschiebt das Potential am MOS-Eingang um $\approx 0,6\text{ V}$ ins Negative.

2. Anschluß einer TTL-Schaltung an MOS-Schaltkreise

Wirkungsweise (Bild 3)

Bei Logik-0-MOS (H-Pegel) leitet der Transistor und erzeugt ebenfalls Logik 0 für den TTL-Schaltkreis (L-Pegel) und umgekehrt. Um kurze Schaltzeiten zu erzielen, wird der MOS-IS nahe der zulässigen Last betrieben. Der L-Pegel kann deshalb u. U. nicht mehr im normalen Be-

reich $U_L \leq -9\text{ V}$ liegen, was hier keine Rolle spielt. Weitere MOS-IS dürfen aber nicht angeschlossen werden.

Hinweise zur Dimensionierung

Alle Schaltungen arbeiten mit zehnprozentigen Widerständen auch unter Worst-Case-Bedingungen einwandfrei.

Dr. Alfred Tolk

Rundfunk- und Fernsehtechnisches Zentralamt Berlin

Anordnung zum Frequenz- und Phasenvergleich

PLL-Schleifen enthalten im allgemeinen einen Phasenkomparator mit nachgeschaltetem Filter, durch dessen Ausgangssignal die Frequenz des steuerbaren Oszillators beeinflusst wird. Der Fangbereich wird durch dieses Filter entscheidend beeinflusst. Er ist in jedem Fall endlich, d. h., der sogenannte eingerastete Zustand stellt sich nur dann ein, wenn die Differenz zwischen der Freilauffrequenz des Oszillators und der Eingangsfrequenz einen gewissen Betrag nicht überschreitet. Aus diesem Grund sind übliche Phasenkomparatoren für die Drehzahlregelung von Motoren nur schlecht geeignet.

Die hier vorgestellte Schaltung hat einen prinzipiell unbegrenzten Fangbereich und ist daher in den o. g. Fällen vorteilhaft anwendbar. Im Prinzip handelt es sich um einen 2-bit-Vorwärts-Rückwärtszähler mit getrennten Zählereingängen für die beiden Richtungen. Die in der Anordnung enthaltene Zählersperre bewirkt, daß durch weitere Zählimpulse der maximale Zählerstand nicht überschritten und der minimale Zählerstand nicht unterschritten werden kann.

Für den Einschwingvorgang ist das Verhalten der Anordnung bei gleichzeitig eintreffenden Impulsen an beiden Eingängen maßgebend. Besonders günstige Eigenschaften würden sich ergeben, wenn sich dabei der Zustand des Zählers nicht ändern würde. Eine Anordnung, die dieses Verhalten zeigt, wird jedoch relativ kompliziert. Da in der Praxis eine zeitliche Koinzidenz beider Eingangsimpulse nur während des Einschwingvorganges und auch dann nur mit kleiner Wahrscheinlichkeit auftritt, kann man durch Entschärfung der Forderungen zu einer wesentlich einfacheren Anordnung kommen. Wichtig ist nur, daß bei Koinzidenz kein Zählerzustand übersprungen wird und daß sich die Anordnung symmetrisch verhält. Bild 1 zeigt den modifizierten Automatengraph. Die inneren Zustände sind durch ihr Dezimaläquivalent gekennzeichnet.

Die Realisierung mit MOS-Schaltkreisen ist im Bild 2 gezeigt.

An die Eingänge x_0 und x_1 sind negativ gerichtete Impulse anzulegen. Liegen die Eingänge direkt an anderen MOS-Gattern, dann ist $R = 47\text{ k}\Omega$ zu wählen, die maximale Betriebsfrequenz beträgt einige 10 kHz. Werden die beiden verbleibenden Gatter des U 107 als Impulsformer am Eingang verwendet, dann können x_0 und x_1 durch RC-Glieder gewonnen werden. Bei Frequenzen oberhalb 100 kHz sollte die ODER-Verknüpfung mit weiteren Gattern vorgenommen werden. Die Impulsbreite ist möglichst klein zu wählen, um ein günstiges Verhalten bei langsam verlaufenden Einschwingvorgängen zu erreichen. Der eingeschwungene Zustand kann durch die Antivalenzverknüpfung der Ausgänge beider Trigger überwacht werden.

Ist eine derartige Aufgabe in TTL-Technik zu realisieren, dann kann prinzipiell die Anordnung nach Bild 2 auf NAND-Verknüpfungen umgerechnet und mit D 100 und D 172 aufgebaut werden. Kleinerer Aufwand ergibt sich jedoch bei Verwendung des D 195 in der Anordnung nach Bild 3. Der Schaltkreis ist als Rechts-Links-Schieberegister geschaltet, wobei nur 3 bit genutzt werden. Durch die Impulse x_0 wird eine logische 1 nach rechts und durch die Impulse x_1 eine logische 0 nach links geschoben. Im eingeschwungenen Zustand liegen am Ausgang, genauso wie bei

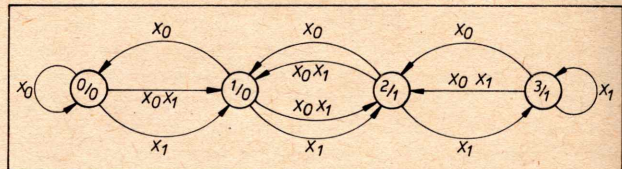


Bild 1: Automatengraph der Anordnung nach Bild 2

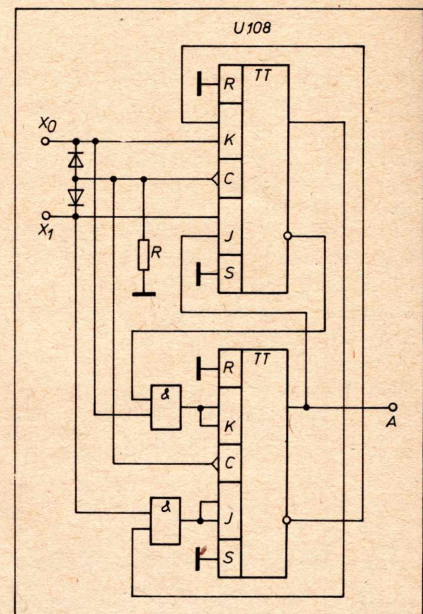


Bild 2: Anordnung zum Frequenz- und Phasenvergleich in Hochvolt-MOS-Technik

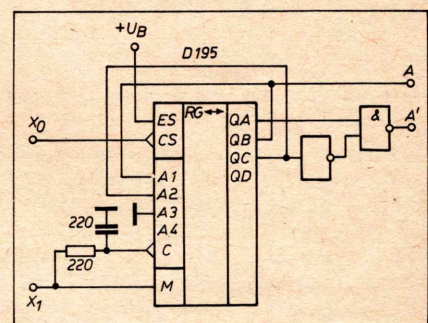


Bild 3: Variante zum Frequenz- und Phasenvergleich mit TTL-Schieberegister

der Anordnung nach Bild 2, Rechteckimpulse, deren Breite gleich dem zeitlichen Versatz der Eingangsimpulse ist. Diese sind wiederum möglichst schmal zu halten. Auch hier kann der eingeschwungene Zustand durch Auswertung weiterer Ausgangssignale überwacht werden (Ausgang A'). Bei falscher Phasenlage innerhalb des Regelkreises können entweder die Eingänge vertauscht werden, oder es wird ES an 0 V und A 3 an $+U_B$ gelegt.

Peter Taege

Rundfunk- und Fernsehtechnisches Zentralamt Berlin